

ナノ領域光・電子融合集積回路のコンピュータ支援設計

研究分担者 廣木 彰
大学院 工学科学研究科
電子システム工学部門 助教授

【研究目的】

2010年以降に実現されるユビキタス社会では、テラビット級の情報処理・情報伝達が要求されている。このユビキタス社会を実現するキーテクノロジーの一つに集積回路技術がある。この集積回路技術では、数十テラの素子集積度、ナノ領域の素子サイズおよびピコレベルの動作速度が要求される。一方、情報伝達の分野では、高速・大容量の光配線技術が電子機器間の配線に実用化されている。最近では、電子機器内の配線の一部に光配線が用いられようとしている。したがって、2010年以降には、光配線技術を取り込んだ光・電子融合集積回路が電子システムの基幹部品になる。現在、集積回路はコンピュータ支援設計により高効率・高精度な設計を行っている。しかしながら、光・電子融合集積回路を効率よく設計するコンピュータ支援設計技術は確立していない。

本研究では、光・電子融合集積回路を効率よく設計するコンピュータ支援設計技術を研究・開発することを目的としている。本プロジェクトでは、この研究目的達成のための基礎研究として、ナノ領域素子に特有の物理現象である量子効果をモデリングし、ナノ領域光・電子融合集積回路設計支援のためのシミュレーション技術を研究することを目的とした。

【研究目標】

本研究で目標としたナノ領域光・電子融合集積回路設計支援のためのシミュレーション技術は、半導体デバイス物理モデリング技術、デバイスシミュレーション技術、回路シミュレーション技術、デバイス解析モデリング技術から構成される。半導体デバイス物理モデリング技術は、反転層量子効果モデルと非平衡輸送を解析する粒子モデルからなる。ナノ領域の半導体素子であるMOS型電界効果トランジスタ(MOSFET)では、そのゲート酸化膜厚が2nm程度に微細化されるため、電子が流れる反転層の量子効果が電流特性に影響する。そのため、この反転層量子効果を高精度に計算し、その電気特性への影響を解析する必要がある。また、ナノ領域MOSFETでは、実効ゲート長が数十nmになり電子のエネルギーが熱平衡状態からずれて移動度が劣化し、電気特性に影響する。粒子モデルは電子のエネルギーを計算し、非平衡輸送を解析するモデルである。デバイスシミュレーション技術は、電子輸送を流体モデルで近似し、半導体デバイスの電気特性を計算する技術である。反転層量子効果を流体モデルに組み込んだ密度勾配モデルを検討し、デバイスシミュレーションの量子補正モデルを構築する必要がある。回路シミュレーション技術は、回路素子モデルと等価回路モデルからなる。ナノ領域デバイスの特性をモデル化した回路素子モデルを組み込んだ回路シミュレーションと、光・電子融合システムを解析するための等価回路モデルを開発する必要がある。また、これらの回路シミュレーションの精度を向上させるため、デバイス解析モデリング技術が必要である。

本プロジェクトでは、ゲート酸化膜厚が2nm以下のMOSFETの電子濃度分布を解析する反転層量子効果モデル、ゲート長が50nmのMOSFETの電子エネルギーを解析する粒子モデル、ゲート長が50nmのMOSFETの反転層量子効果をモデル化した密度勾配モデルとデバイスシミュレーション技術、光・電子融合回路の受光部の回路素子をモデル化した回路シミュレーション技術、ゲート長が

45nm 以細のMOSFETの電気特性を解析するデバイス解析モデルを研究・開発することを目標とした。

【研究成果】

(1)半導体デバイス物理モデリング

反転層量子効果モデルは、MOSFETの反転層に発生する量子効果を解析するモデルである。このモデルはシュレディンガー方程式とポアソン方程式をセルフコンシステントに解き、反転層内の電子濃度分布と静電ポテンシャル分布を求める。

本モデルを用いて、ゲート酸化膜厚が 1.5nm のMOSFETの電子濃度分布を計算した。計算結果を図1に示す。

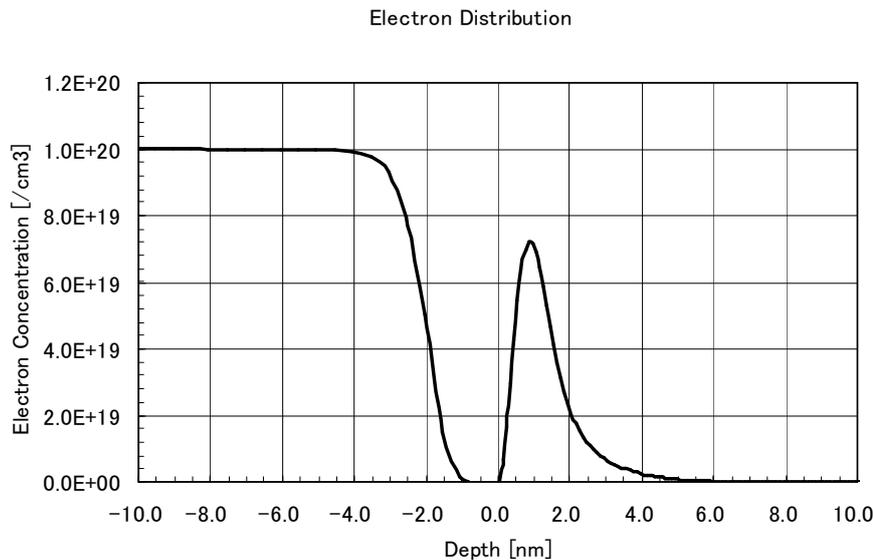


図1, ゲート酸化膜厚 1.5nm のMOSFETの電子濃度分布

ゲート酸化膜とシリコン基板の界面を深さ方向の原点にとっている。負方向には、1.5nm のゲート酸化膜を介してポリシリコンゲート電極がある。この結果から、ゲート酸化膜とシリコン基板の界面から深さ方向に 1nm のところに反転層電子濃度のピークがあることがわかる。反転層量子効果により、電気的な実効酸化膜厚は物理的なゲート酸化膜厚にくらべて増大している。このことから、物理的ゲート容量(設計値)に比べ、実効ゲート容量が減少し、電気特性を劣化させることが定量的に解析可能である。図2に、ゲート酸化膜厚を変化させた場合の実効ゲート容量の計算値を示す。ゲート酸化膜厚が薄くなるにしたがって、実効ゲート容量(実線)の理想ゲート容量(破線)からのずれが増大することがわかる。

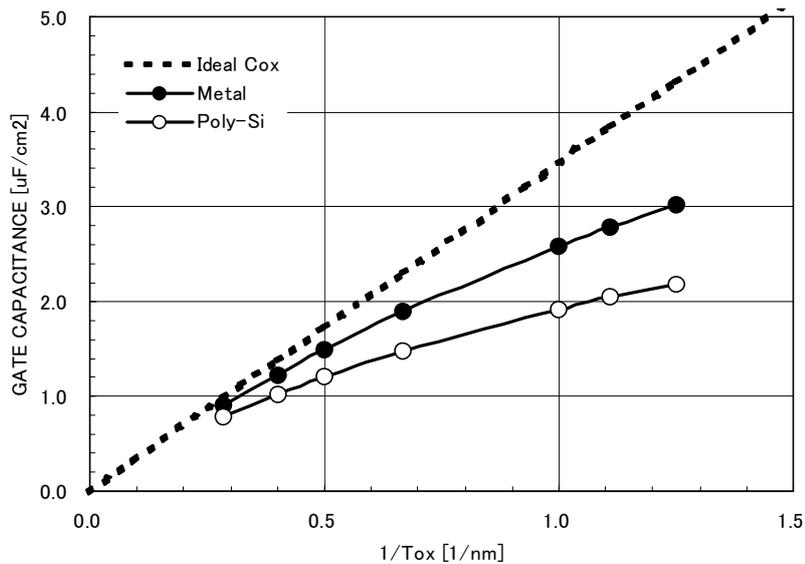


図2, 実効ゲート容量のゲート酸化膜厚依存性

粒子モデルは、電子のエネルギーを計算し、非平衡輸送を解析するモデルである。電子の音響フォノン・光学フォノン、不純物による散乱確率を量子力学的に計算している。この粒子モデルを用いて、サイズが 100nm 以下の素子、ナノ領域素子、で顕著に現れる電子の非平衡輸送を解析することができる。本粒子モデルにより、ゲート長が 50nm の MOSFET の電子エネルギーをシミュレーションし、電子の非平衡輸送現象を解析評価した。

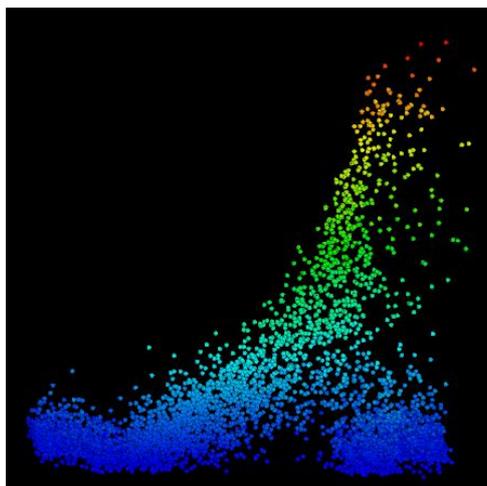


図3, 粒子モデルによるゲート長 50nm の MOSFET の電子エネルギー

図3に、電子エネルギーのシミュレーション結果を示す。横軸がチャネル方向で左側のソースからドレインへ向かっている。縦軸は電子の運動エネルギーをあらわす。また、粒子の色でも運動エネルギーを

あらわしている。青色は運動エネルギーが低い電子、赤色は運動エネルギーが高い電子である。この結果から、ドレインに近づくにしたがって、電子のエネルギーが高くなり、ドレイン近傍で、高エネルギー電子が多数存在していることがわかる。

(2) デバイスシミュレーション技術

本プロジェクトのデバイスシミュレーション技術では、スタンフォード大学と共同研究で開発したナノ領域素子対応のデバイスシミュレータを本学のコンピュータ上に導入し、その動作環境を立ち上げた。このシミュレータは、電子輸送の量子効果を考慮した物理モデルである密度勾配モデルが組み込まれており、量子効果の電気特性への影響を解析・評価することができる。

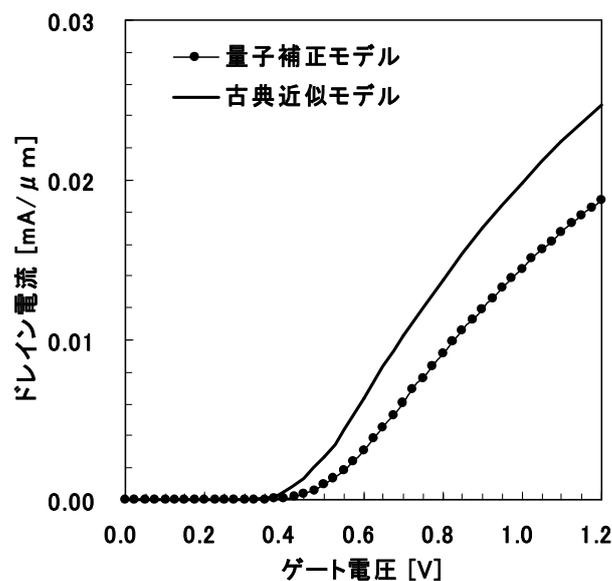


図4, デバイスシミュレーションによるゲート長 50nm のMOSFETの電気特性解析

図4に本デバイスシミュレータによる 50nmMOSFET の電気特性のシミュレーション結果を示す。量子効果によりドレイン電流の立ち上がりであるしきい値電圧が約 70mV シフトしていることが分かる。これらのデータをもとにナノ領域の素子設計を高精度に行うことが可能となる。

本デバイスシミュレータをゲート絶縁膜厚が 1.5nm のMOSFETに適応し、密度勾配モデルの評価を行った。反転層の電子密度分布のシミュレーション結果を図5に示す。本モデルの結果とシュレディンガー方程式をポアソン方程式とともにセルフコンシステントに解いた結果(厳密解)を比較している。本モデルのシミュレーション結果は厳密解とよく一致していることが分る。特に、電子密度のピークがゲート絶縁膜とシリコンの界面から 0.9nm の深さに位置しており、本モデルが反転層量子効果を高精度にシミュレーションしていることが分る。このとき、モデルパラメータは、 $bn=1.92 \times 10^{-20}$ [Vm²]であった。この結果を次々世代MOSFETに適応した。図6に 45nmMOSFETの電気特性のシミュレーション結果を示す。本モデルの結果と量子効果を考慮していない従来モデルとを比較している。本モデルの飽和電流値($V_D=1.0V$)は 0.499mA であった。一方、従来モデルの飽和電流値は 0.716mA であり 43% 過大評価している。このずれは素子設計上無視することができない大きさであり、従来モデルによるナノ領域素子の設計は困難であることを示している。

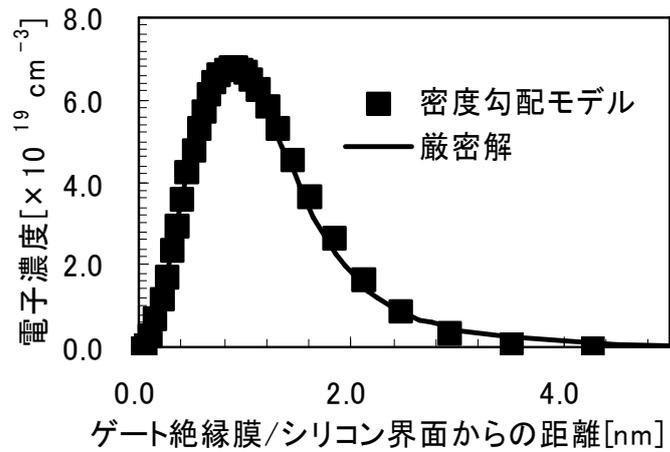


図5, 反転層の電子密度分布

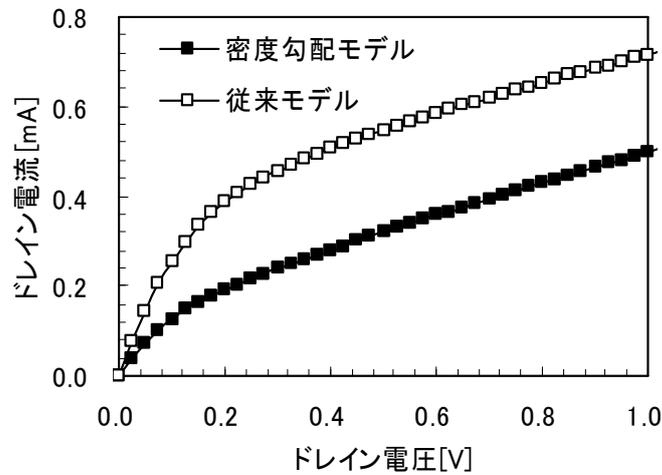


図6, 45nm MOSFET電気特性

(3)回路シミュレーション技術

光・電子融合回路の受光部は、受光素子と増幅回路から構成される。高速動作と低消費電力に対応するため、増幅回路は先端CMOSが使用される。本研究では、前項のシミュレーション結果をもとに、次々世代のCMOSを用いた受光部の入出力特性をシミュレーションした。図7に本モデルを用いた結果、図8に従来モデルを用いた結果を示す。動作温度を0から70℃に変化させている。従来モデルを

用いたシミュレーション結果は、動作温度を0から70℃に変化させても、きれいに信号が伝達されていることが分る。しかし、本モデルを用いた結果は、動作温度が上昇するに従って信号波形が歪んでいる。このことは、従来モデルを用いて回路設計を行うと、量子効果が考慮されていないため、動作マージンを大きく設定しなければならず、高精度な回路設計が困難であることを示している。

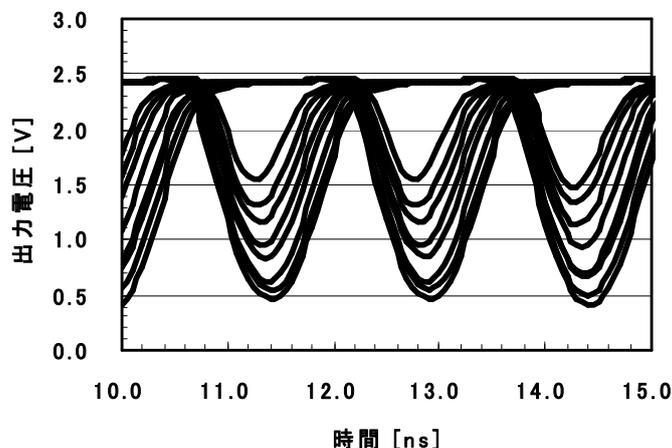


図7, 受光部の入出力特性, 本モデル

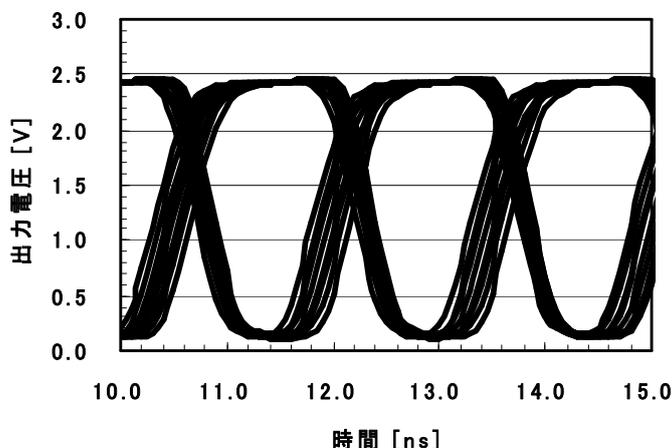


図8, 受光部の入出力特性, 従来モデル

(4) デバイス解析モデリング

回路設計において、MOSFET 解析モデルは、BSIM などの MOS 回路モデルに比較してモデルパラメータ数が少なくモデルパラメータの抽出が容易で、モデルの解析的な取扱が簡便なため、回路動作の解析や回路特性の予測に良く用いられている。現在では、65 から 45nm 世代の L S I 開発が進められ、32nm 世代以細のデバイスの研究開発が行われている。回路設計や回路解析のためには、これらの領域のデバイスに対して、デバイス解析モデルを構築する必要がある。

本研究で新規に提案したデバイス解析モデルは、 α 乗則モデル[1]に加えてドレインコンダクタンスに

関するパラメータ λ にゲート電圧依存性を考慮したものである。

本モデルの精度を評価するために、本モデルにより計算した I_D - V_{DS} 特性をゲート長が 65nm 以下の MOSFET の実測値と比較した。ここで用いたテストデバイスは、ゲート長が 20nm、酸化膜厚が 1.3nm の SRAM Cell 用に開発された n チャネル MOSFET[2]、ゲート長が 45nm、酸化膜厚が 2.0nm の低コスト、低消費電力 CMOS のために開発された n チャネル MOSFET[3]、ゲート長が 65nm、酸化膜厚が 1.6nm の高周波 CMOS のために開発された n チャネル MOSFET[4]である。参考として、ゲート長が 250nm、酸化膜厚が 8.6nm の n チャネル MOSFET[1]も用いた。本モデルのパラメータは、LM法[5]を用いて抽出している。

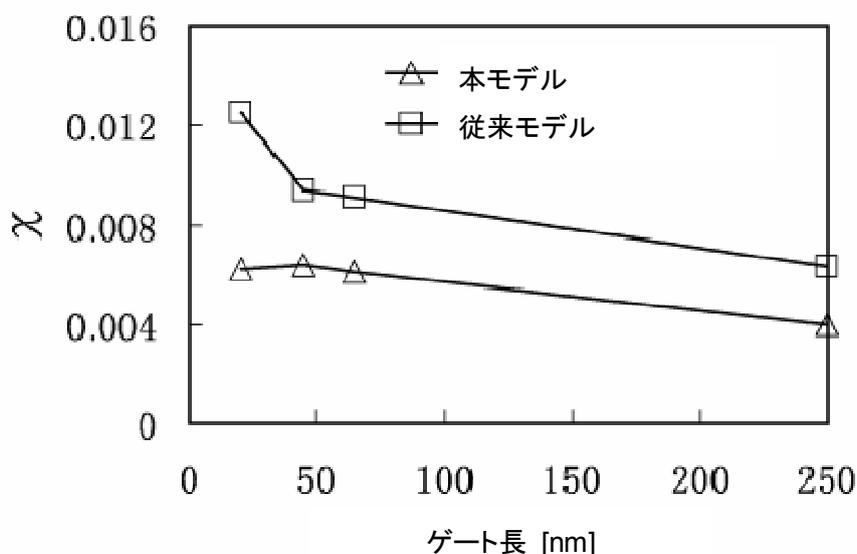


図9. 本モデルと実測との誤差 χ のゲート長依存性

本モデルと実測との誤差を図9に示す。比較のため、 α 乗則モデル（従来モデル）の誤差も示している。本モデルは、ゲート長が小さくなっても、実測値との誤差はあまり増大していない。特に、ゲート長が 20nm の MOSFET では誤差が 0.006 であり、増大が抑えられていることが分かる。一方、 α 乗則モデルは、ゲート長が小さくなるにしたがって、実測値との誤差が増大し、特に、20nm の MOSFET では、誤差が急激に増大している。以上から、本モデルは、ゲート長が 20nm の MOSFET まで、高精度に I_D - V_{DS} 特性をモデル化可能であることが分かる。

このことから、45nm 以下の MOSFET の電気特性を解析する場合、ドレインコンダクタンスのゲート電圧依存性を考慮することが重要であることが明らかになった。

【まとめと今後の課題】

本プロジェクトでは、ナノ領域光・電子融合集積回路設計支援のためのシミュレーション技術として以下の研究・開発を行った。

- 半導体デバイス物理モデリング技術として、シュレディンガー方程式とポアソン方程式をセルフコンシステントに解く反転層量子効果モデルを開発し、ナノ領域 MOSFET の実効ゲート容量を定量的に解析した。

- 半導体デバイス物理モデリング技術として、電子の散乱機構を量子力学的に計算する粒子モデルを開発し、ゲート長が 50nm の MOSFET の電子エネルギーを定量的に解析した。
- デバイスシミュレーション技術として、スタンフォード大学との共同研究で開発したナノ領域素子対応のデバイスシミュレータを本学のコンピュータ上に導入し、動作環境を構築した。
- 半導体デバイス物理モデリング技術で開発した反転層量子効果モデルを用いて、デバイスシミュレーション技術で開発した量子補正モデルのモデルパラメータを定量的に決定した。
- ゲート長が 50nm の MOSFET の電気特性を量子補正モデルでシミュレーションし、しきい値電圧が約 70mV シフトすることを定量的に示した。
- 回路シミュレーション技術として、デバイスシミュレーション技術の結果を基に、光・電子融合回路の受光部の入出力特性のシミュレーション技術を検討し、0 から 70°C の温度変化による出力特性の変化を解析した。その結果、量子効果によるしきい値シフトの効果を取り入れることが重要であることを示した。
- デバイス解析モデリング技術として、新規にゲート長が 20nm の MOSFET に対する、回路設計のための MOSFET 解析モデルを提案した。本モデルと実測を比較することにより、本モデルの精度を明らかにした。

今後は、光・電子融合集積回路を設計するための等価回路モデルを開発し、集積回路としての特性解析に応用する。また、各モデリング、シミュレーション技術の連携を強化し、より高精度なシミュレーション技術を研究開発する。さらに、このシミュレーション技術のユーザインターフェースを開発し、応用展開する。

【参考文献】

- [1] T. Sakurai, and A.R. Newton, "A simple MOSFET model for circuit analysis," IEEE Trans. Electron Devices, vol.38, no.4, pp.887-894, April 1991.
- [2] H.-Y. Chen, C.-Y. Chang, C.-C. Huang, T.-X. Chung, S.-D. Liu, J.-R. Hwang, Y.-H. Liu, Y.-J. Chou, H.-J. Wu, K.-C. Shu, C.-K. Huang, J.-W. You, J.-J. Shin, C.-K. Chen, C.-H. Lin, J.-W. Hsu, B.-C. Perng, P.-Y. Tsai, C.-C. Chen, J.-H. Shieh, H.-J. Tao, S.-C. Chen, T.-S. Gau, and F.-L. Yang, "Novel 20nm hybrid SOI/bulk CMOS technology with $0.183 \mu\text{m}^2$ 6T-SRAM cell by immersion lithography," 2005 Symposium on VLSI Technology Digest of Technical Papers, pp.16-17, June 2005.
- [3] F. Arnaud, B. Travel, L. Pain, J. Todeschini, M. Jurdit, Y. Laplanche, F. Boeuf, F. Salvetti, D. Lenoble, J.P. Reynard, F. Wacquant, P. Morin, N. Emonet, D. Barge, M. Bidaud, D. Ceccarelli, P. Vannier, Y. Loquet, H. Leninger, F. Judong, C. Perrot, I. Guilmeau, R. Palla, A. Beverina, V. Dejonghe, M. Broekaart, V. Vachellerie, R.A. Bianchi, B. Borot, T. Devoivre, N. Bicaïs, M. Denais, K. Rochereau, R. Difrenza, N. Planes, H. Brut, L. Vishnobulta, D. Reber, P. Stolk and M. Woo, "Low cost 65nm CMOS platform for low power & general purpose applications," 2004 Symposium on VLSI Technology Digest of Technical Papers, pp.10-11, June 2004.
- [4] C.H. Chen, C.S. Chang, C.P. Chao, J.F. Kuan, C.L. Chang, S.H. Wang, H.M. Hsu, W.Y. Lien, Y.C. Tsai, H.C. Lin, C.C. Wu, C.F. Huang, S.M. Chen, P.M. Tseng, C.W. Chen, C.C. Ku, T.Y. Lin, C.F. Chang, H.J. Lin, M.R. Tsai, S. Chen, C.F. Chen, M.Y. Wei, Y.J. Wang, J.C.H. Lin, W.M. Chen,

C.C. Chang, M.C. King, C.M. Huang, C.T. Lin, J.C. Guo, G.J. Chern, D.D. Tang and J.Y.C. Sun, "A 90nm CMOS MS/RF based foundry SoC technology comprising superb 185 GHz f_T ReMOS and versatile, high- q , passive components for cost/performance optimization," Technical Digest - International Electron Devices Meeting, pp.39-42, 2003.

- [5] H. Press, B.P. Flannery, S.A. Teukolsky, and W.T. Vetterling, Numerical Recipes in C[日本語版], 技術評論社, 東京, 1993.